








PROGRAMMABLE MICROELECTRONIC DEVICES AND METHODS OF FORMING AND PROGRAMMING SAME

Patent number: WO0048196
Publication date: 2000-08-17
Inventor: KOZICKI MICHAEL N (US)
Applicant: UNIV ARIZONA (US); KOZICKI MICHAEL N (US)
Classification:
- International: G11C11/24; G11C11/34
- european: G11C11/00; G11C11/34; G11C11/34C; G11C13/02; H01L45/00B
Application number: WO2000US03571 20000211
Priority number(s): US19990119757P 19990211

Also published as:

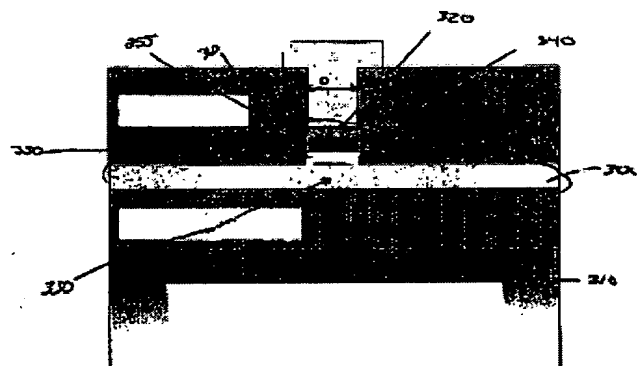
 WO0048196 (A)
 EP1159743 (A)
 EP1159743 (A)
 CA2362283 (A)
 AU763809 (B2)

Cited documents:

 US5761115
 US5512773
 US5315131

Abstract of WO0048196

A microelectronic programmable structure (300) and methods of forming and programming the structure (300) are disclosed. The programmable structure (300) generally includes an ion conductor (340) and a plurality of electrodes (320, 330). Electrical properties of the structure (300) may be altered by applying a bias across the electrodes (320, 330), and thus information may be stored using the structure (300).



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2002-536840
(P2002-536840A) ✓

(43) 公表日 平成14年10月29日 (2002. 10. 29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/10	4 2 1	H 0 1 L 27/10	4 2 1 5 F 0 8 3

審査請求 有 予備審査請求 有 (全 30 頁)

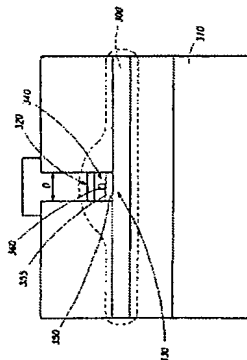
(21) 出願番号 特願2000-599033(P2000-599033)
(86) (22) 出願日 平成12年2月11日 (2000. 2. 11)
(85) 翻訳文提出日 平成13年8月10日 (2001. 8. 10)
(86) 国際出願番号 P C T / U S 0 0 / 0 3 5 7 1
(87) 国際公開番号 W O 0 0 / 4 8 1 9 6
(87) 国際公開日 平成12年8月17日 (2000. 8. 17)
(31) 優先権主張番号 6 0 / 1 1 9 , 7 5 7
(32) 優先日 平成11年2月11日 (1999. 2. 11)
(33) 優先権主張国 米国 (U S)

(71) 出願人 アリゾナ ボード オブ リージェンツ
アメリカ合衆国 アリゾナ 85004, フ
ェニックス, ノース セントラル アベ
ニュー ナンバー230 2020
(72) 発明者 コジッキ, マイケル エヌ.
アメリカ合衆国 アリゾナ 85048, フ
ェニックス, サウス 23アールディー
ストリート 14624
(74) 代理人 弁理士 山本 秀策
Fターム (参考) 5F083 FZ10 JA37 JA38 JA39 JA40
JA56

(54) 【発明の名称】 プログラマブルマイクロエレクトロニックデバイスおよびその形成およびプログラミング方法

(57) 【要約】

マイクロエレクトロニックプログラマブルの構造 (3 0 0) と、上記構造 (3 0 0) を形成およびプログラミングする方法が開示される。上記プログラマブル構造 (3 0 0) は概して、イオン導体 (3 4 0) と、複数の電極 (3 2 0、3 3 0) とを含む。上記電極 (3 2 0、3 3 0) にわたってバイアスを印加することにより上記構造 (3 0 0) の電気的特性を変更し、これにより、上記構造 (3 0 0) を用いて情報を格納することが可能である。



【特許請求の範囲】

【請求項 1】 第 1 の導電性物質を含む固溶体で形成されたイオン導体と、
第 2 の導電性物質を含む第 1 の電極であって、該第 1 および第 2 の導電性物質
は同じ材料で構成される、第 1 の電極と、
第 2 の電極と、
を備えるマイクロエレクトロニックプログラマブル構造。

【請求項 2】 前記イオン導体は、カルコゲニド材料および金属の固溶体で
形成される、請求項 1 に記載のマイクロエレクトロニックプログラマブル構造。

【請求項 3】 前記金属は、銀、銅および亜鉛からなる群から選択される、
請求項 2 に記載のマイクロエレクトロニックプログラマブル構造。

【請求項 4】 前記カルコゲニド材料は、 As_xS_{1-x} 、 Ge_xS_{1-x} および Ge_xSe_{1-x}
からなる群から選択される、請求項 2 に記載のマイクロエレクトロニ
ックプログラマブル構造。

【請求項 5】 前記第 1 の導電性物質は銀である、請求項 1 に記載のマイク
ロエレクトロニックプログラマブル構造。

【請求項 6】 前記第 1 の導電性物質は銅である、請求項 1 に記載のマイク
ロエレクトロニックプログラマブル構造。

【請求項 7】 前記電極の少なくとも 1 つと前記イオン導体との間に挿入さ
れるバリアをさらに備える、請求項 1 に記載のマイクロエレクトロニックプログ
ラマブル構造。

【請求項 8】 前記バリアは絶縁材料を含む、請求項 7 に記載のマイクロエ
レクトロニックプログラマブル構造。

【請求項 9】 前記バリアは導電性材料を含む、請求項 7 に記載のマイクロ
エレクトロニックプログラマブル構造。

【請求項 10】 前記構造の少なくとも一部は、絶縁材料バリア内に形成さ
れる、請求項 1 に記載のマイクロエレクトロニックプログラマブル構造。

【請求項 11】 ダイオードをさらに備える、請求項 1 に記載のマイクロエ
レクトロニックプログラマブル構造。

【請求項 12】 トランジスタをさらに備える、請求項 1 に記載のマイクロ

エレクトロニックプログラマブル構造。

【請求項 13】 電着をさらに備える、請求項 1 に記載のマイクロエレクトロニックプログラマブル構造。

【請求項 14】 前記イオン導体は網目修飾体を含む、請求項 1 に記載のマイクロエレクトロニックプログラマブル構造。

【請求項 15】 プログラマブル構造を形成する方法であって、
第 1 の電極を形成する工程と、
絶縁材料を堆積させる工程と、
該絶縁材料内にバイアを形成する工程と、
該バイア中にイオン導体材料を堆積させる工程と、
第 2 の電極を形成する工程と、
を包含する方法。

【請求項 16】 前記イオン導体中に金属を溶解させる工程をさらに包含する、請求項 15 に記載のプログラマブル構造を形成する方法。

【請求項 17】 前記溶解工程は、前記第 2 の電極の一部を溶解させる工程を包含する、請求項 16 に記載のプログラマブル構造を形成する方法。

【請求項 18】 前記溶解工程は、前記イオン導体および前記第 2 の電極材料を、光溶解プロセスにさらす工程を包含する、請求項 16 に記載のプログラマブル構造を形成する方法。

【請求項 19】 バリアを形成する工程をさらに包含する、請求項 15 に記載のプログラマブル構造を形成する方法。

【請求項 20】 前記バリアを形成する工程は、絶縁材料を堆積させる工程を包含する、請求項 19 に記載のプログラマブル構造を形成する方法。

【請求項 21】 前記バリアを形成する工程は、導電性材料を堆積させる工程を包含する、請求項 20 に記載のプログラマブル構造を形成する方法。

【請求項 22】 前記第 1 および第 2 の電極のうち少なくとも 1 つの上に自然酸化物を形成する工程をさらに包含する、請求項 15 に記載のプログラマブル構造を形成する方法。

【請求項 23】 前記第 1 および第 2 の電極にわたって十分な電圧バイアス

を印加して、これにより、前記構造の電気的特性を変化させる工程、を包含する、請求項 1 に記載のマイクロエレクトロニク構造をプログラミングする方法。

【請求項 24】 前記十分な電圧を印加する工程は、前記構造内の抵抗を変化させる、請求項 23 に記載のマイクロエレクトロニク構造をプログラミングする方法。

【請求項 25】 前記十分な電圧を印加する工程は、前記構造のキャパシタンスを変化させる、請求項 23 に記載のマイクロエレクトロニク構造をプログラミングする方法。

【請求項 26】 単一の構造内に多ビットの情報を格納する工程をさらに包含する、請求項 23 に記載のマイクロエレクトロニク構造をプログラミングする方法。

【請求項 27】 前記格納工程は、電流に限度を設けたソースを前記第 1 および第 2 の電極にわたって印加する工程を包含する、請求項 26 に記載のマイクロエレクトロニク構造をプログラミングする方法。

【請求項 28】 前記格納工程は、前記多ビットの各々に対応する設定量のチャージを印加する工程を包含する、請求項 26 に記載のマイクロエレクトロニク構造をプログラミングする方法。

【請求項 29】 プログラマブル構造の閾電圧に影響を与える方法であって、バリアの厚みを調整する工程を包含し、該バリアは、前記構造の電極とイオン導体との間に挿入される、方法。

【発明の詳細な説明】

【0001】

(関連出願)

本出願は、1999年2月11日に出願された、米国特許仮出願第60/119、757号（1998年12月4日に出願された、国際出願第PCT/US98/25830号）の恩恵を主張する。

【0002】

(発明の分野)

本発明は概して、マイクロエレクトロニクスデバイスに関し、より詳細には、集積回路用途に適したプログラマブルマイクロエレクトロニクス構造に関する。

【0003】

(発明の背景)

メモリデバイスは、情報をバイナリデータ形式で格納する電子システムおよびコンピュータにおいて用いられる場合が多い。これらのメモリデバイスは、様々なタイプに特徴付けられ得る、それぞれのタイプにより、メモリデバイスは様々な利点および不利点を有する。

【0004】

例えば、パーソナルコンピュータに見受けられ得るランダムアクセスメモリ（「RAM」）は、揮発性の半導体メモリであり、言い換えれば、電源が切断されるかまたは除去された場合、格納されているデータは失われる。ダイナミックRAM（「DRAM」）は、格納されているデータを維持するために数マイクロ秒毎に「リフレッシュ」（すなわち、再充電）を必要とするため、特に揮発性が高い。スタティックRAM（「SRAM」）は、一度データを書き込んだ後は、電源が維持されている限りそのデータを保持すが、電源が切断されると、データは失われる。そのため、これらの揮発メモリの構成において、情報が保持できるのは、システムへの電力供給が無くならない場合のみである。これらのRAMデバイスは一般的には、製造コストが高くつき、デバイスの動作中、比較的大きなエネルギーを消費する。そのため、パーソナルコンピュータおよびそのようなものにおける用途に適した改良されたメモリデバイスが望まれている。

【0005】

不揮発性のメモリの例として、CD-ROMおよびDVD-ROMがある。DVD-ROMは、非常に長い音声情報セグメントおよび映像情報セグメントを収容するだけの十分な容量を有するが、このメモリの場合、情報の読み出しのみが可能であり、情報の書込みは不可能である。そのため、DVD-ROMは、製造時に一旦プログラムされてしまうと、新規情報で再プログラムすることは不可能である。

【0006】

他の格納デバイス（例えば、磁気格納デバイス（例えば、フロッピー（登録商標）ディスク、ハードディスクおよび磁気テープ））および他のシステム（例えば、光学ディスク）は、不揮発性であり、容量が非常に大きく、かつ書込みを多数の回数にわたって行うことが可能である。これらのメモリデバイスは残念ながら物理的に大きく、衝撃／振動に弱く、高価な機械的ドライブを必要とし、かつ消費電力が比較的大きくなり得る。これらのメモリデバイスは、これらのマイナス面のために、低電力の携帯用途（例えば、ラップトップコンピュータおよびパームトップコンピュータ、個人用携帯型情報端末器（「PDA」）およびそのようなもの）にとって不向きになっている。

【0007】

格納情報の頻繁な変更を伴う小型でかつ低電力の携帯コンピュータシステムの数が急速に増加している理由等のため、読取り／書込み半導体メモリが、ますます要望され、普及している。さらに、これらの携帯システムは電力供給が無くなった場合データ格納を必要とする場合が多いため、このようなシステムにおける用途において不揮発性の格納デバイスが望まれている。

【0008】

このようなシステムにおける用途に適切なプログラマブル半導体不揮発性のメモリデバイスの一例として、プログラマブル読取り専用メモリ（「PROM」）デバイスがある。PROMの一種である追記型（「WORM」）デバイスの場合、可溶性のリンクのアレイを用い、一旦プログラムされてしまうと、再プログラムは不可能である。

【0009】

他のPROMデバイスの形式としては、消去可能なPROM（「EPROM」）および電氣的に消去可能なPROM（EEPROM）デバイスがあり、これらのデバイスは、初回プログラム後も書換え可能である。EPROMデバイスは一般的には、デバイスをプログラムする前に紫外線への照射を伴う消去工程を必要とする。そのため、このようなデバイスは概して、携帯電子デバイスの用途には不向きである。EEPROMデバイスの方が概してプログラムが容易であるが、EEPROMデバイスには他の欠陥が伴う。詳細には、EEPROMデバイスは比較的複雑であり、製造が比較的困難であり、また比較的大型である。さらに、回路がEEPROMデバイスを含む場合、その回路はデバイスをプログラムするために必要な高電圧に耐えるものでなければならない。その結果、メモリのビット容量あたりのEEPROMのコストは、他のデータ格納手段と比較して極めて高コストとなっている。EEPROMデバイスの別の不利点は、電源の接続を要することなくデータ保持が可能であるものの、プログラムするのに比較的大量の電力を必要とする点である。このような電力消費（power drain）は、バッテリーで駆動する小型の携帯システムにとってかなりの量になり得る。

【0010】

上述した従来のデータ格納デバイスに関連する様々な問題を鑑みて、比較的単純で、製造コストが比較的低コストであり、かつ比較的不揮発性のプログラマブルデバイスが望まれている。さらに、このメモリ技術は、比較的低電圧で動作し、かつ記憶密度が高くしかも製造コストを安くすることにより、新世代の携帯コンピュータデバイスの要件を満たすものになるべきである。

【0011】

（発明の要旨）

本発明は、集積回路用の、改良されたマイクロエレクトロニックデバイスを提供する。より詳細には、本発明は、メモリおよび他の集積回路に適した比較的不揮発性のプログラマブルデバイスを提供する。

【0012】

以下において、本発明を用いて公知のプログラマブルデバイスの様々な欠点に

対処する方法について、より詳細に説明する。しかし、本発明は概して、製造が比較的容易かつ低コストであり、しかもプログラムが比較的容易なプログラマブルデバイスを提供する。

【0013】

本発明の1つの例示的实施形態によれば、プログラマブル構造は、イオン導体および少なくとも2つの電極を含む。上記構造は、バイアスが2つの電極にわたって印加されると、上記構造の1つ以上の電気的特性が変化するように構成される。この実施形態の1つの局面によれば、バイアスが上記電極にわたって印加されると、上記構造にかかる抵抗が変化する。この実施形態の別の局面によれば、上記電極にバイアスが印加されると、上記構造のキャパシタンスまたは他の電気的特性が変化する。これらの電気的変化の1つ以上が、適切に検出され得る。そのため、上記構造を含む回路から、格納情報を取り出すことが可能である。

【0014】

本発明の別の例示的实施形態によれば、プログラマブル構造は、イオン導体と、少なくとも2つの電極と、上記電極の少なくとも一部分と上記イオン導体との間に挿入されたバリアとを含む。この実施形態の1つの局面によれば、上記バリアの材料は、上記イオン導体と少なくとも1つの電極との間のイオン拡散が低減するように構成された材料を含む。上記拡散バリアはまた、上記構造の一部において望ましくない電着成長が発生する事態を防ぐ機能も行い得る。別の局面によれば、上記バリア材料は絶縁材料を含む。上記バリア材料に絶縁材料を包含させることにより、上記デバイスの抵抗を可能な最低値まで低減させるために必要な電圧を増加させる。絶縁バリアを含むデバイスは、不揮発性のメモリ（例えば、EEPROM）用途に良好に適合し得る。

【0015】

本発明の別の例示的实施形態によれば、第1の電極を基板上に形成し、イオン導体材料層を上記第1の電極上に堆積させ、導電性材料を上記イオン導体材料上に堆積させることにより、プログラマブルマイクロエレクトロニクス構造が、上記基板の表面上に形成される。この実施形態の1つの局面によれば、（例えば、熱溶解または光溶解を介して）上記イオン導体中の上記導電性材料の一部を溶解

させることにより、上記イオン導体および過剰な導電性材料を含む固溶体が、形成される。さらなる局面によれば、上記導電性材料の一部のみを溶解させ、これにより、上記導電性材料の一部を上記イオン導体の表面上に残留させて、上記イオン導体材料の表面上に電極を形成させる。

【0016】

本発明の別の実施形態によれば、プログラマブル構造の少なくとも一部分を、絶縁材料のスルーホール内にまたはバイア内に形成する。この実施形態の1つの局面によれば、第1の電極機能 (electrode feature) を基板表面上に形成し、上記電極機能表面上に絶縁材料を堆積させ、上記絶縁材料内にバイアを形成し、上記バイア内に上記プログラマブル構造の一部を形成する。この実施形態の1つの局面によれば、上記バイアを上記絶縁材料内に形成した後、イオン導電性材料を上記導電性材料上に堆積させ、第2の電極材料を上記イオン導電性材料上に堆積させ、所望ならば過剰な電極、イオン導体および／または絶縁材料を全て除去することにより、上記バイア内の上記構造の一部を形成する。

【0017】

本発明のさらなる例示的实施形態によれば、多ビット (multiple bit) 情報が、単一のプログラマブル構造内に格納される。

【0018】

本発明のさらに別の例示的实施形態によれば、上記構造のイオン導体内のイオンを移動させることにより、プログラマブル構造のキャパシタンスを変更する。

【0019】

(例示的实施形態の詳細な説明)

以下の詳細な説明および特許請求の範囲を以下の図面と共に参照することにより、本発明のより完全な理解が得られる。図面中、類似の参照符号は類似の構成要素を指す。

【0020】

本発明は概して、マイクロエレクトロニクスデバイスに関し、より詳細には、様々な集積回路用途に適切なプログラマブル構造に関する。

【0021】

図 1 は、本発明の例示的实施形態に従って、基板 110 の表面上にプログラマブルマイクロエレクトロニック構造 100 を形成した様子を示す。構造 100 は、電極 120 および 130 ならびにイオン導体 140 を適切に含む。

【0022】

構造 100 は一般的には、閾電圧 (V_T) よりも大きなバイアス（これについては以降で詳述する）が電極 120 および 130 に印加されたときに構造 100 の電気的特性が変化するような構成にされる。例えば、本発明の 1 つの実施形態によれば、電極 120 および 130 に電圧 $V \geq V_T$ が印加されると、イオン導体 140 内の導電性イオンが移動し始め、電極 120 および 130 においてまたは電極 120 および 130 のマイナス部分近辺において電着（例えば、電着 160）が形成される。電着が形成されると、電極 120 と 130 との間の抵抗が低減し、他の電気的特性も変化し得る。絶縁バリア（これについては以降で詳述する）が無い場合、電着を 1 つの電極から他の電極に向かって成長させることによりデバイスの抵抗を有意に低減させるために必要な閾電圧が、実質的にシステムのレドックス電位（典型的には数百ミリボルト）となる。同じ電圧を逆方向に印加した場合、電着は反対方向にイオン導体内に溶解し、デバイスは自身の高い抵抗状態に戻る。以下により詳細に説明するように、構造 100 は、情報格納用に使用可能であり、従ってメモリ回路において使用可能である。例えば、本発明による構造 100 または他のプログラマブル構造を、DRAM デバイス、SRAM デバイス、PROM デバイス、EPROM デバイスまたは EEPROM デバイスの代わりにメモリデバイスにおいて適切に使用することが可能である。

【0023】

基板 110 は、任意の適切な材料を含み得る。例えば、基板 110 は、半導電性材料、導電性材料、半絶縁性材料、絶縁性材料またはこのような材料の他の任意の組み合わせを含み得る。本発明の 1 つの実施形態によれば、基板 110 は、絶縁材料 112 と、半導体基板上に形成されたマイクロエレクトロニックデバイスを含む部分 114 とを含む。層 112 および 114 は、層（例えば、集積回路の形成用に用いられることが多い層）（図示せず）を追加することにより分離可能である。

【0024】

電極120および130は、任意の適切な導電性材料で形成され得る。例えば、電極120および130は、ポリシリコン材料または金属で形成され得る。本発明の1つの例示的实施形態によれば、電極120および130は金属で形成され、電極120、130のうち少なくとも1つは、イオン導体材料140中に溶解する銀、銅または亜鉛等の金属で形成される。少なくとも1つの電極をイオン導体140中に溶解する金属で形成すれば、イオン導体140中の溶解金属濃度を望ましい値に維持することが容易になり、その結果、構造100が利用されている間にイオン導体140内に電着160を敏速かつ安定した状態で形成させることが容易になる。

【0025】

本発明の1つの実施形態によれば、電極120および130の少なくとも1つは、配線金属用途に適切な材料で形成される。例えば、電極130は、半導体集積回路内の配線（interconnect）構造の一部を形成し得る。この実施形態の1つの局面によれば、電極130は、イオン導体140を含む材料中に実質的に溶解しない材料で形成される。配線材料および電極130材料の両方に適切な材料の例を挙げると、タングステン、ニッケル、モリブデン、白金、メタルシリサイド（metal silicides）等の金属および化合物がある。

【0026】

あるいは、図2に示すように、電極220および230ならびにイオン導体240を含む構造200は、バリア層（例えば、バリア250）を含み得、これにより、電極220、230の1つを、導体240に対して溶解性の材料で形成することが可能になる。バリア250は、導体240と電極230との間でイオンが移動することを制限する任意の材料を含み得る。本発明の例示的实施形態によれば、バリア250は、窒化チタン、チタンタングステン、窒化チタンおよびチタンタングステンの組み合わせなどを含む。この実施形態の1つの局面によれば、バリア250は電氣的に中性であり、すなわち、バリア250は電子が構造200を通じて伝導することを可能にするが、バリア250自身は、イオンが構造

200を通じて伝導することに貢献しない。電氣的に中性のバリアは、構造200が動作している間に発生する望ましくない樹枝状(dendrite)成長を低減し、これにより、初回の電着成長用に用いられたバイアスと反対方向にバイアスが印加されたときに、電着160の「消去」または溶解を容易化することが可能になる。

【0027】

イオン導体140は、十分な電圧が印加されるとイオンを伝導させる材料で形成される。イオン導体140に適切な材料としては、ガラス材料および半導体材料がある。本発明の1つの例示的实施形態において、イオン導体140は、カルコゲニド材料で形成される。

【0028】

イオン導体140はまた、溶解性の導電性材料も適切に含み得る。例えば、イオン導体140は、溶解性金属および／または金属イオンを含む固溶体を含み得る。本発明の1つの例示的实施形態によれば、導体140は、カルコゲニドガラスに対して溶解性の金属および／または金属イオンを含む。本発明による溶解性金属を備えるカルコゲニドガラスの例を挙げると、 $As_xS_{1-x}-Ag$ 、 $Ge_xSe_{1-x}-Ag$ 、 $Ge_xS_{1-x}-Ag$ 、 $As_xS_{1-x}-Cu$ 、 $Ge_xSe_{1-x}-Cu$ 、 $Ge_xS_{1-x}-Cu$ の固体、銀、銅、亜鉛を含む他のカルコゲニド材料、これらの材料の組み合わせ等がある。加えて、導体140は、導体140内を動くイオンの移動度に影響を与える網目修飾体を含み得る。例えば、金属(例えば、銀)、ハロゲン、ハロゲン化合物または水素等の材料を導体140に付加して、イオン易動度を向上させ、これにより、構造の消去／書込み速度を上げることが可能である。

【0029】

イオン導体140としての用途に適切な固溶体は、様々な様式で形成可能である。例えば、この固溶体は、導電性材料層(例えば、カルコゲニドガラス等の導電性材料上に金属を設けたもの)を堆積させ、これらの金属およびガラスに熱および／または光溶解処理を施すことにより、形成され得る。本発明の1つの例示的实施形態によれば、 As_2S_3-Ag の固溶体は、 As_2S_3 を基板上に堆積させ

、この As_2S_3 上に Ag の薄膜を堆積させ、この薄膜を As_2S_3 の光学ギャップよりも大きなエネルギーを有する光（例えば、約500ナノメートル未満の波長を有する光）にさらすことにより、形成される。所望ならば、（例えば、導体140材料を堆積させている間に網目修飾体を堆積材料に入れるかまたは提供するなどして）導体140を堆積させている間または（例えば、網目修飾体を含む雰囲気中に導体140をさらすなどして）導体140材料を堆積させた後、網目修飾体を導体140に追加してもよい。

【0030】

この実施形態の1つの局面によれば、固溶体のイオン導体140の形成は、金属の一部がイオン導体材料中に溶解し、金属の一部をイオン導体の表面上に残留させて、これにより電極（例えば、電極120）を形成するような様式で、十分な金属をイオン導体材料上に堆積させることにより、行なわれる。本発明の別の実施形態によれば、溶解した金属を含む固溶体は、基板110上に直接堆積可能である。

【0031】

イオン導電性材料（例えば、カルコゲニド）中に溶解する金属のような導電性材料の量は、複数の要素（例えば、溶解可能な金属量および溶解プロセス中に与えられるエネルギー量）によって異なり得る。しかし、光溶解を用いたカルコゲニド材料中への溶解対象として利用可能な金属およびエネルギーの量が十分な場合、溶解プロセスには制約が伴うと見なされ、金属カチオンがその最低酸化状態まで減少したときにこの溶解プロセスは停止する。 As_2S_3-Ag の場合、この停止状態は、 $Ag_4As_2S_3 = 2Ag_2S + As_2S$ のときに発生し、銀濃度の原子百分率は約44である。一方、熱溶解を用いて金属をカルコゲニド材料中に溶解させる場合、溶解対象の金属の量が十分であると仮定すると、固溶体中の金属の原子百分率はより高くなり得る。

【0032】

本発明の1つの例示的实施形態によれば、絶縁材料150のバイア内に、構造100の少なくとも一部が形成される。絶縁材料150のバイア内に構造100の一部を形成することが望ましい理由は、このような形成を行うと、構造100

を比較的小型（例えば、10ナノメートルのオーダー）に形成することが可能になるからである（但し、他の理由もある）。加えて、絶縁材料150の存在により、様々な構造100を他の電氣的構成要素から絶縁することが容易になる。

【0033】

絶縁材料150は、電子および／またはイオンが構造100から拡散するといふ望ましくない事態を防ぐ材料を適切に含む。本発明の1つの実施形態によれば、材料150は、窒化シリコン、シリコンオキシナイトライド（silicon oxynitride）、高分子材料（例えば、ポリイミドまたはパリレン）またはこれらの任意の組み合わせを含む。

【0034】

コンタクト160は、1つ以上の電極120、130に適切に電気結合可能であり、これにより、各電極に対して電氣的接触を形成することが容易になる。コンタクト160は、任意の導電性材料で形成可能であり、好適には、アルミニウム、アルミニウム合金、タングステンまたは銅等の金属で形成される。

【0035】

本発明によるプログラマブル構造（例えば、構造100）は、様々な様式で形成可能である。本発明の1つの実施形態によれば、構造100は、基板110上に電極130を形成することにより、形成される。電極130は、任意の適切な方法（例えば、電極130の材料で層を堆積させ、この電極材料をパターニングし、この材料をエッチングして電極130を形成する方法）を用いて、形成可能である。絶縁層150は、電極130および基板110の上に絶縁材料を堆積し、適切なパターニングプロセスおよびエッチングプロセスを用いて絶縁材料中にバイアを形成することにより、形成され得る。これにより、イオン導体140材料および電極120材料をバイア中に堆積させることにより、絶縁層150内にイオン導体140および電極120を堆積することが可能になる。このようなイオン導体および電極材料を堆積する工程は選択的である—すなわち、材料を実質的にバイア内のみに堆積させるか、または、堆積プロセスを比較的非選択的にすることも可能である。1つ以上の非選択堆積方法を用いる場合、例えば、化学機械的研磨技法および／またはエッチング技法を用いて絶縁層150の表面上に残

留する過剰材料全てを除去してもよい。

【0036】

図3は、本発明の他の実施形態によるプログラマブル構造300を示す。構造100と同様に、構造300は、基板310上に形成され、電極320および330ならびにイオン導体340を含む。さらに、構造300は、少なくとも1つの電極320、330およびイオン導体340の間に介在する絶縁バリア350を含む。絶縁バリア350は、導電性抵抗の任意の材料で形成され得る。本発明の様々な例示的实施形態によれば、バリア350は、金属酸化物（例えば、自然タングステン酸化物または自然ニッケル酸化物）で形成される。あるいは、他の絶縁材料も、電極上に堆積され得る。特に、バリア350は、絶縁バリアを破壊させる（break down）だけの十分に高い電圧が印加されない限り、デバイス300の有効閾電圧に影響を与え、電着（例えば、電着360）を介して電極320と330との間に短絡が発生するのを防ぐ。例えば、所与の絶縁材料について、デバイス300の有効閾電圧は一般的には、バリア350の厚みが増すにつれて増加し、これにより、バリア350の厚みを制御することにより、デバイス300閾電圧を少なくとも部分的に制御することが可能となる。この場合、バリア350を、電子が所望の動作電圧（例えば、約0.2V～約4V）でバリア350を通過することを可能にするだけ十分に薄く（すなわち、0～約3ナノメートル）する必要がある。

【0037】

動作時において、プログラマブル構造の2つ以上の電極（例えば、構造300の電極320および330）の間に十分な電圧が印加されると、電着360の形成が、イオン導体340を通じてまたはイオン導体340の端部に沿って、負側の電極（カソード）（例えば、電極330）から正側の電極（アノード）（例えば、電極320）に向かって、開始する。例えば、電極330が電圧供給の負端子に結合され、電極320が電圧供給の正端子に結合され、かつ、電極320と330との間に十分なバイアスが印加された場合、電着360（例えば、金属樹枝状）が、電極330から電極320に向かって成長し始める。

【0038】

電極 330 が最初から負電位に結合されている場合、電圧 \geq レドックス電位が適用されると、バリア 350 の表面 355 上に電着が成長し始める。バリア 350 を破壊するだけの十分な電圧が電極 320 および 330 にわたって印加されると、電極 320 と 330 との間に短絡が形成される。十分な逆バイアスが電極 320 および 330 に印加されると、電着 360 は導体 340 中に溶解し、バリア 350 は、自身を回復し、これにより、ほぼ同じ有効閾電圧がバリア 350 を破壊させるために必要となる。従って、構造 300 が絶縁バリア 350 を含む場合、バリア 350 の破壊特性（例えば、厚み）を用いて、有効閾値または「書込み」電圧を管理する。

【0039】

電着（例えば、電着 360）の成長および構成ならびに電着成長の反転は概して、プログラマブルデバイス（例えば、構造 100～300）の電気的特性に影響を与える。その結果、電着の成長および構成は、特に、印加電圧バイアス、電極（例えば、電極 320 および 330）にバイアスが印加される時間長さ、および構造のジオメトリに依存する。特に、電圧が比較的低い場合、電着成長は比較的低速であり、ある構造のカソードの周囲に集中する傾向となる。一方、電圧が比較的高い場合、電着は高速に成長し、より狭い範囲に成長し、所与の量のチャージについて、カソードとアノードとの間においてより長い距離にわたる。

【0040】

電着 360 が形成され始めると、電圧ソースが構造 100 から除去された後、電着 360 は概して、自身の形態を維持する。従って、電着 360 の成長と関連付けられる電気的特性の変化（例えば、構造 300 のキャパシタンス、抵抗、閾電圧およびそのようなもの）は、経時的変化は実質的にない。言い換えれば、構造 100 の電気的特性の変化は、比較的不揮発性である。従って、構造 100 は、PROM、EPROM、EEPROM、FLASH デバイスおよびそのようなものを用いることが多い電子システムのメモリデバイスに良好に適合し得る。

【0041】

本発明の別の実施形態によれば、プログラマブル構造を定期的によりフレッシュして、データ格納の完全性を向上させることが可能である。この場合、この構造

は、RAM（例えば、DRAM）メモリデバイス中において使用可能である。

【0042】

（書込み動作）

プログラマブル構造の1つ以上の電気的特性を操作することにより、本発明のプログラマブル構造を用いて情報を格納することが可能である。例えば、適切な書込み動作中に、構造の抵抗を「0」（すなわち、オフ状態）から「1」（すなわち、オン状態）に変化させることができる。同様に、消去動作中に、デバイスを「1」状態から「0」状態に変化させることができる。加えて、以下により詳細に説明するように、本構造は、多ビットの情報を1つの構造に格納できるよう、複数のプログラマブル状態を有し得る。

【0043】

図4は、本発明によるプログラマブル構造300の電流－電圧特性を示す。図4に示す構造の場合、バイア直径（D）は約4ミクロンであり、導体340は厚さが約35ナノメートルであり、 $\text{Ge}_3\text{Se}_7\text{-Ag}$ （ $\text{As}_8\text{Ge}_3\text{Se}_7$ に類似）で形成され、電極330は中性であり、ニッケルで形成され、電極320は銀で形成され、バリア350は自然ニッケル酸化物である。図4に示すように、オフ状態において構造300を通過する電流（曲線410）は、約1ボルトを越えるバイアスが印加されると上昇し始めるが、書込み工程（すなわち、電着形成）が行われた後は、図4に曲線420で示すように、導体340を通過する抵抗は、有意に下降する（すなわち、約200オームとなる）。上述したように、電極330が電圧供給の負側に結合された場合、電極320と比較して、電着360は、電極330の近接部分で成長し始め、電極320に向かって成長する。有効閾電圧（すなわち、電着360を成長させ、バリア350を破壊させ、これにより電極320、330を互いに結合させるために必要な電圧）は、バリア350によって比較的高くなる。特に、構造300に印加される電圧 $V \geq V_T$ は、電子がバリア350を通過して電着を形成し、バリアを崩壊させ、導体340およびバリア350の少なくとも一部を伝導するだけの十分でなければならない。

【0044】

図1および図2に示す本発明の別の実施形態によれば、初期の「書込み」閾電

圧は比較的低い。これは、例えば、イオン導体 140 と電極 120、130 のいずれかとの間に絶縁性のバリア形成されないためである。

【0045】

(読取り動作)

例えば、電圧閾値 (図 4 に示す構造の場合、約 1.4 V) 未満の大きさの順 (forward) バイアスまたは逆バイアスを電着用として印加するかまたは最小プログラミング電流以下の電流限度 (オン抵抗 (on resistance) 値の最高値を生成する電流) を用いることにより、デバイスの状態 (例えば、1 または 0) を、デバイスの状態を有意に妨害することなく読み取ることが可能である。電流が (約 1 ミリアンペアに) 限定された読取り動作を、図 4 中に示す。この場合、電圧は、0 から約 2 V に掃引され、電流は、設定限度 (0 ~ 0.2 V) に上昇し、「オン」状態の低い抵抗 (オーム / 線形電流 - 電圧) を示す。無妨害読取り動作を行う別の方法は、比較的短い持続期間を有しかつ電気化学的堆積閾電圧よりも高い電圧を有し得るパルスを印加し、これにより、ファラデー電流の流れる量を測定不可能なレベルにする (すなわち、殆ど全ての電流がデバイスを分極化 / チャージするように移動し、電着プロセスに移動しないようにする)。

【0046】

(消去動作)

プログラマブル構造 (例えば、構造 300) は、書込み動作中に印加されるバイアスを反転させることにより、適切に消去され得る。印加バイアスの大きさは、逆方向の電着用の閾電圧以上である。本発明の例示的实施形態によれば、十分な消去電圧 ($V \geq V_T$) を、初期接続の強度に依存するが典型的には約ミリ秒の期間の間、構造 300 に印加して、構造 300 を、1,000,000 オームを優に越える抵抗を有する「オフ」状態に戻す。構造 300 には導体 340 と電極 320 との間にバリアが無い場合、構造 300 を消去するための閾電圧は、構造 300 を書き込むための閾電圧よりもずっと低い。なぜならば、書込み動作とは異なり、消去動作は、電子をバリア 350 を通過させるかまたはバリア 350 を破壊する必要が無いからである。

【0047】

図5は、集積回路502の一部（例えば、プログラマブル構造500）を示し、電子部品からのさらなる絶縁を提供するように構成されている。本発明の例示の実施形態によれば、構造500は、電極520および530と、イオン導体540と、コンタクト560と、（コンタクト560と電極520との間に形成された）アモルファスシリコンダイオード570（例えば、ショットキーダイオードまたはp-n接合ダイオード）とを含む。プログラマブル構造500の行（row）および列（column）は、高密度構成に製造可能であり、これにより、メモリ回路用途に適切な極めて大きな格納密度を提供する。一般的には、メモリデバイスの最大記憶密度は、デコード回路の列および行のサイズおよび複雑度によって限定される。しかし、プログラマブル構造格納スタックの場合、集積回路上に載せた状態で適切に製造し、半導体チップ領域全体をデコードの行／列デコード、センス増幅器およびデータ管理回路（図示せず）専用とすることが可能である。なぜならば、構造500は、基板のスペースを必要としないからである。このような様式により、本発明のプログラマブル構造を用いて、1平方センチメートルあたり数ギガビットの記憶密度が、達成可能である。このような様式で用いられれば、本プログラマブル構造は、既存の半導体集積回路技術に能力および機能性を付与する、実質的に付加的な技術である。

【0048】

図6は、メモリデバイスの一部（例えば、構造500）を模式的に示し、メモリ回路のビットライン610とワードライン620との間の交差部分において、絶縁p-n接合570がある。図7は、別の絶縁方式を示し、電極とメモリデバイスのビットライン710とワードライン720との交差部分に配置されたプログラマブル構造のコンタクトとの間に挿入されたトランジスタ710を用いている。

【0049】

上述したように、本発明のさらに別の実施形態によれば、書込みプロセス中に形成される電着の量を制御することにより、多ビットのデータを、1つのプログラマブル構造中に格納することが可能である。書込みプロセス中に形成される電

着の量は、書込みプロセス中に構造に供給される複数のクーロンまたはチャージに依存し、電流を限定する電源を用いることにより制御可能である。この場合、プログラマブル構造の抵抗は、式 1 によって決定される。式 1 において、 R_{on} は「オン」状態の抵抗であり、 V_T は電着の閾電圧であり、 I_{LIM} は、書込み動作中に流すことが可能な最大電流である。

【0050】

【数 1】

$$R_{on} = \frac{V_T}{I_{LIM}} \quad \text{式 1}$$

実際は、各セルに格納される情報量の限度は、各抵抗状態の経時的安定性に依存する。例えば、構造のプログラムされた抵抗範囲が約 $3.5 \text{ k}\Omega$ であり、各状態の所定の時間における抵抗ドリフトが約 $\pm 250 \Omega$ である場合、約 7 つの均等なサイズの抵抗バンド（7 つの状態）が形成され得、これにより、1 つの構造中に 3 ビットのデータを格納することが可能となる。限度において、所定の時間制限における抵抗ドリフトがゼロに近い場合、情報を、連続した状態（すなわち、アナログ形式）で格納することができる。

【0051】

本発明のさらに別の実施形態によれば、プログラマブル構造（例えば、構造 300）は、電着を成長させるのではなくチャージを格納することにより、情報を格納する。この実施形態の 1 つの局面によれば、バイアスを電極 320、330 に印加（例えば、電極 330 について正電圧を電極 320 に印加する）することにより構造 300 のキャパシタンスを変更し、これにより、正にチャージされたイオンが、電極 330 に向かって移動するようにする。印加バイアスが書込み閾電圧（または、バリア 350 を崩壊させるために必要な電圧）未満である場合、電極 320 と電極 330 との間に短絡は形成されない。イオンが移動すると、構造 300 のキャパシタンスが変化する。印加バイアスが除去されると、金属イオンは、バリア 350 から拡散する傾向となる。しかし、導体 340 とバリア 350 との間のインターフェースは概して不完全なものであり、イオントラップが可

能な欠陥を含む。そのため、イオンの少なくとも一部は、バリア 350 と導体 340 との間のインターフェースにおいてまたはその近接部分に残留する。書込み電圧が反転すると、イオンは、インターフェースから適切に分散され得る。この実施形態によるプログラマブル構造のより完全な説明が、1999年2月11日に出願された、特許出願第 60/119,757 号に記載されている。本明細書中、同出願の内容全体を、参考として援用する。

【0052】

本発明によるプログラマブル構造は、通常では他の従来の技術（例えば、EEPROM、FLASHまたはDRAM）を用いる多くの用途において利用され得る。現行のメモリ技術と比較して秀でている本発明の利点として、特に、製造コストが低い点および様々な用途に容易に適合可能な順応性のある製造技術を用いる能力が挙げられる。本発明のプログラマブル構造は、（スマートカードおよび電子在庫タグ等の場合のような）コストが重要視される用途の場合に特に有用である。また、プラスチックのカードの上に直接メモリを形成する能力も、これらの用途において大きな利点となる。なぜならば、このような技術は一般的には、他の半導体メモリ形式では不可能であるからである。

【0053】

さらに、本発明のプログラマブル構造によれば、メモリ素子が、数平方マイクロン未満のサイズまでスケーリングされ得、デバイスのアクティブ部位は、1マイクロン未満である。これは、各デバイスおよびその関連する配線部分が数十平方マイクロンを占有し得る従来の半導体技術と比較して、有意な利点を提供する。

【0054】

本明細書中、本発明を添付の図面の文脈に従って説明してきたが、本発明は図示された特定の内容に限定されるものではないことが理解されるべきである。例えば、上記において、便宜上、プログラマブル構造をプログラマブルメモリデバイスと関連させて説明したが、本発明はこれに限定されない。例えば、本発明の構造を、マイクロエレクトロニクス回路中におけるプログラマブルなアクティブデバイスまたはパッシブデバイスとして適切に用いることが可能である。本明細書中に説明した方法および装置の設計および構成について、様々な他の改変、変

更および向上が、本明細書中の特許請求の範囲に記載するような本発明の意図および範囲から逸脱することなく、可能である。

【図面の簡単な説明】

【図 1】

図 1 は、本発明による、基板表面上に形成されたプログラマブル構造の断面図である。

【図 2】

図 2 は、本発明の別の実施形態によるプログラマブル構造の断面図である。

【図 3】

図 3 は、本発明の別の実施形態によるプログラマブル構造の断面図である。

【図 4】

図 4 は、図 3 に示すデバイスの「オン」状態および「オフ」状態の電流特性および電圧特性を示す電流－電圧図である。

【図 5】

図 5 は、本発明のさらに別の実施形態によるプログラマブル構造の断面図である。

【図 6】 図 6 は、本発明の例示的实施形態によるメモリデバイスの一部の模式図である。

【図 7】

図 7 は、本発明の別の実施形態によるメモリデバイスの一部の模式図である。

【図1】

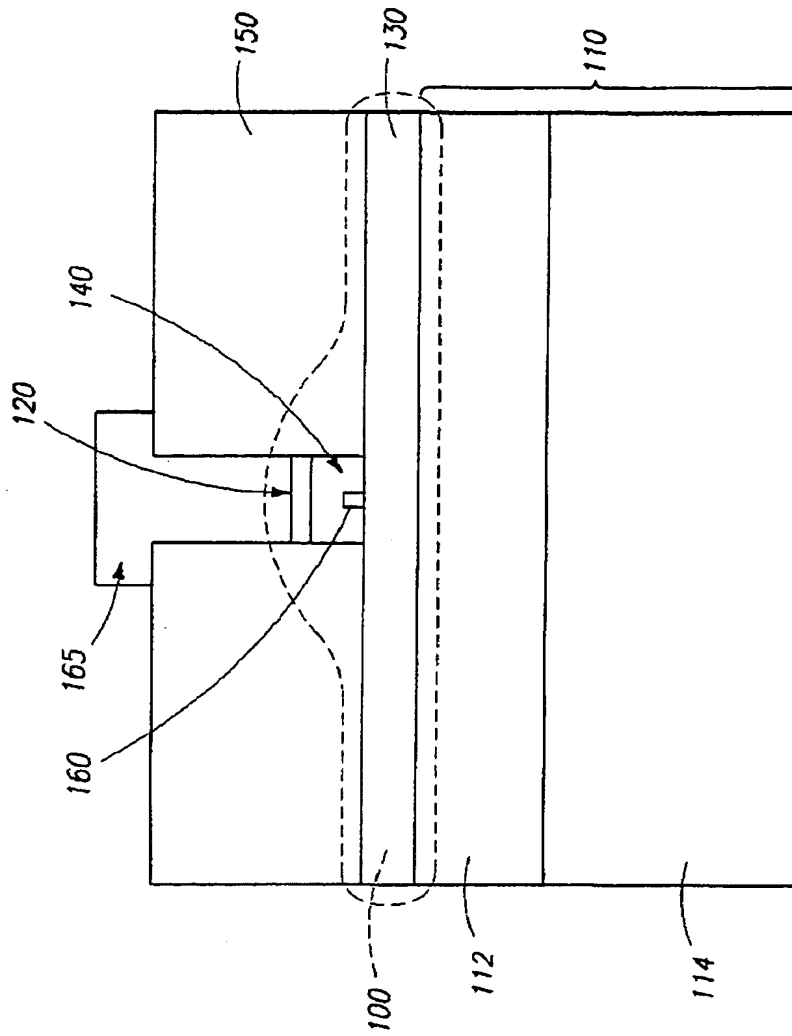


FIG. 1

【図 2】

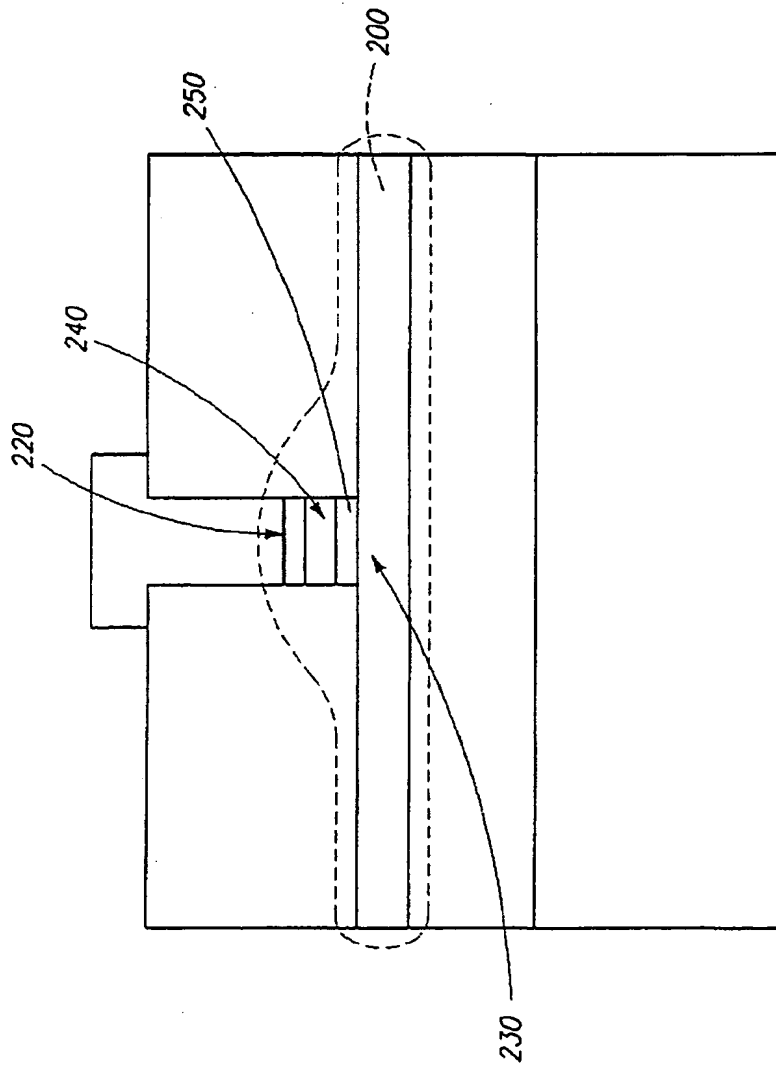


FIG. 2

【図 3】

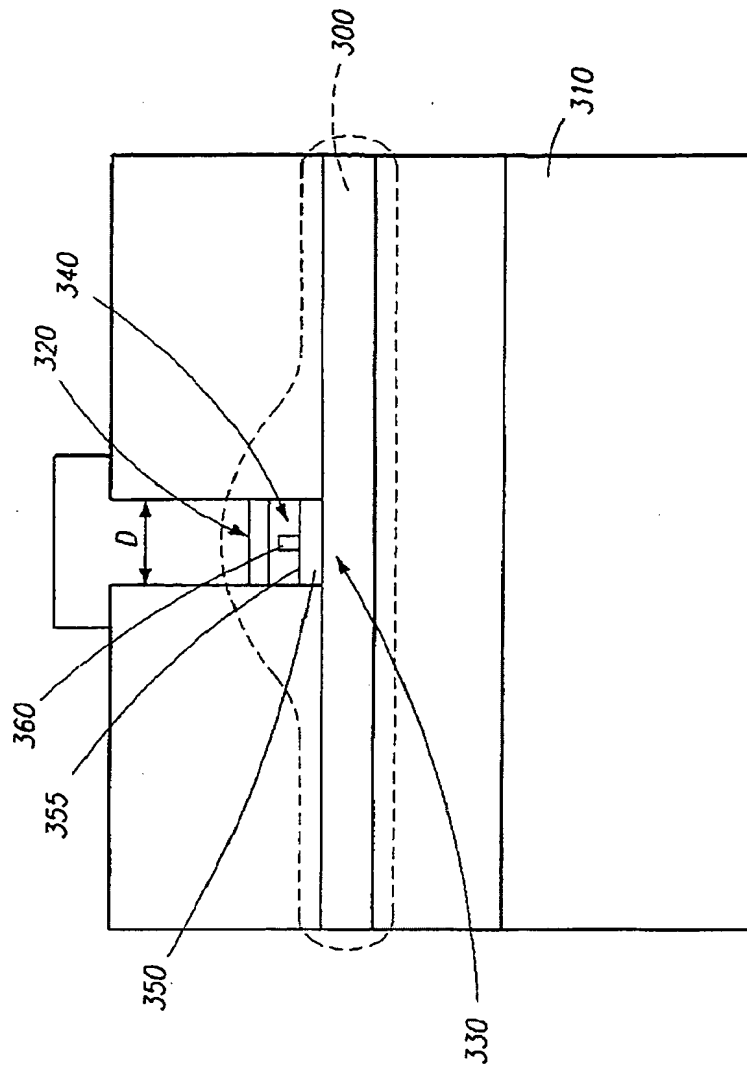
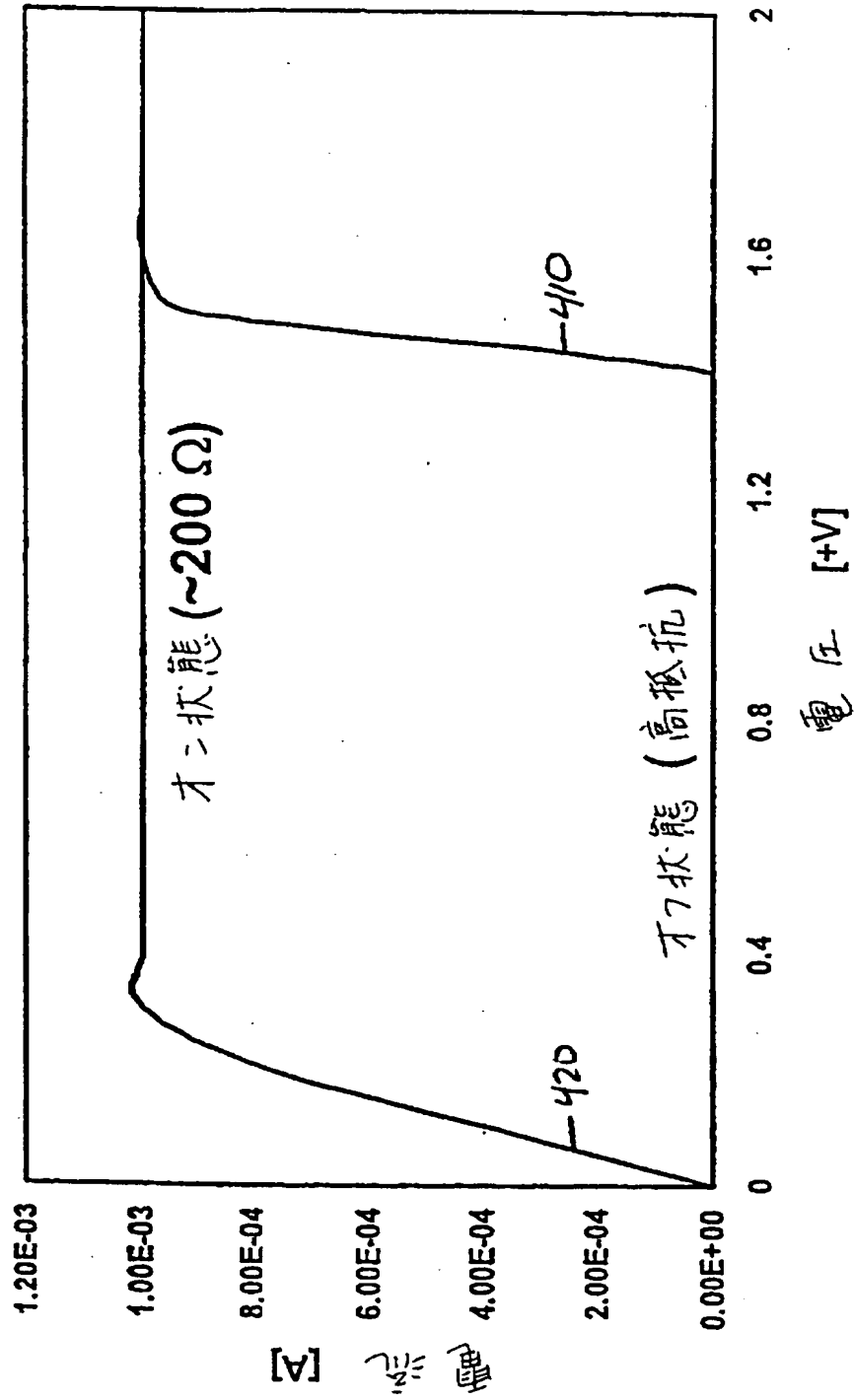


FIG. 3

【図4】



【図5】

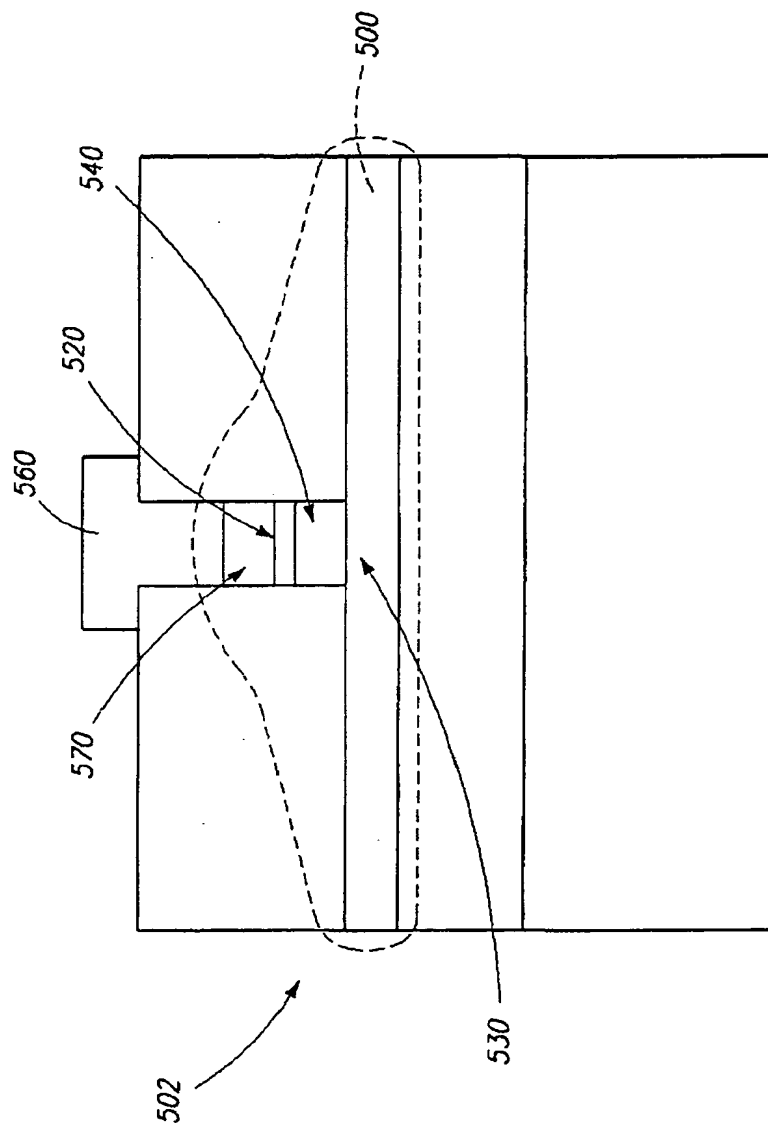
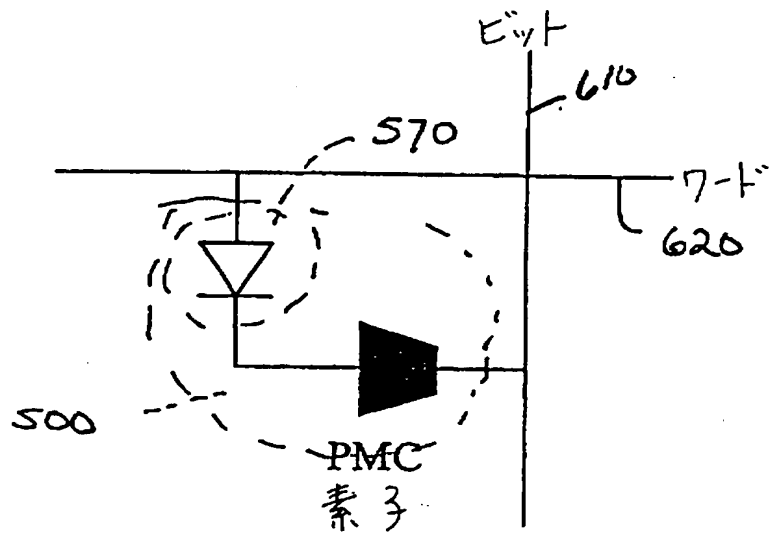
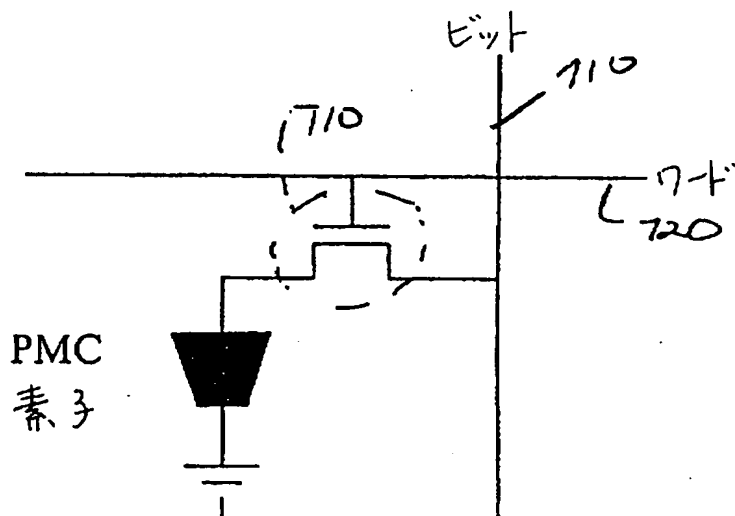


FIG. 5

【図 6】



【図 7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/03571

A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : G11C 11/24, 11/34 US CL : 365/149, 100, 113, 174 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/149, 100, 113, 174 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched None Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) None		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,761,115 A (KOZICKI et al.) 02 June 1998 (02-06-1998), see entire document.	1-29
A	US 5,512,773 A (WOLF et al.) 30 April 1996 (30-04-1996), see entire document.	1-29
A	US 5,315,131 A (KISHIMOTO et al.) 24 May 1994 (24-05-1994), see entire document.	1-29
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 APRIL 2000		Date of mailing of the international search report 10 MAY 2000
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer ANH PHUNG Telephone No. (703) 305-1342

----- (July 1998)*

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZA, ZW